Docket No.: 60188-677 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Naohisa SENGOKU, et al.	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: October 15, 2003	:	Examiner: Unknown

For: APPARATUS FOR EVALUATING AMOUNT OF CHARGE, METHOD FOR FABRICATING THE SAME, AND METHOD FOR EVALUATING AMOUNT OF CHARGE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. 2002-355560, December 6, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: October 15, 2003

60188-677
SENGOKU et al.
October 15, 2003

日本国特許庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００２年１２月　６日

出願番号
Application Number: 特願２００２－３５５５６０

[ST. 10/C]: ［ＪＰ２００２－３５５５６０］

出願人
Applicant(s): 松下電器産業株式会社

２００３年　７月２２日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００３－３０５８０１４

【書類名】　特許願
【整理番号】　2926430312
【提出日】　平成14年12月 6日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 21/66
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
【氏名】　仙石　直久
【発明者】
【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
【氏名】　松元　道一
【特許出願人】
【識別番号】　000005821
【氏名又は名称】　松下電器産業株式会社
【代理人】
【識別番号】　100077931
【弁理士】
【氏名又は名称】　前田　弘
【選任した代理人】
【識別番号】　100094134
【弁理士】
【氏名又は名称】　小山　廣毅
【選任した代理人】
【識別番号】　100110939
【弁理士】
【氏名又は名称】　竹内　宏

【選任した代理人】
　【識別番号】　100110940
　【弁理士】
　【氏名又は名称】　嶋田　高久
【選任した代理人】
　【識別番号】　100113262
　【弁理士】
　【氏名又は名称】　竹内　祐二
【選任した代理人】
　【識別番号】　100115059
　【弁理士】
　【氏名又は名称】　今江　克実
【選任した代理人】
　【識別番号】　100115510
　【弁理士】
　【氏名又は名称】　手島　勝
【選任した代理人】
　【識別番号】　100115691
　【弁理士】
　【氏名又は名称】　藤田　篤史
【手数料の表示】
　【予納台帳番号】　014409
　【納付金額】　21,000円
【提出物件の目録】
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1
　【包括委任状番号】　0006010
【プルーフの要否】　要

【書類名】明細書

【発明の名称】　帯電量評価装置、その製造方法および帯電量の評価方法

【特許請求の範囲】

【請求項１】　実質的にイントリンシックなアンドープトシリコン層を有する基板と、

上記アンドープトシリコン層に島状に点在するｐ型領域と、

上記アンドープトシリコン層及び上記ｐ型領域の上に設けられた第１の絶縁層と

を備えている帯電量評価装置。

【請求項２】　請求項１に記載の帯電量評価装置において、

上記基板のうち、上記アンドープトシリコン層の下に位置する領域には、第２の絶縁層が設けられていることを特徴とする帯電量評価装置。

【請求項３】　請求項２に記載の帯電量評価装置において、

上記第２の絶縁層の厚みは１ｎｍ以上５００ｎｍ以下であることを特徴とする帯電量評価装置。

【請求項４】　請求項１～３のうちいずれか１つに記載の帯電量評価装置において、

上記アンドープトシリコン層の厚みは、１０ｎｍ以上１０μｍ以下であることを特徴とする帯電量評価装置。

【請求項５】　請求項１～４のうちいずれか１つに記載の帯電量評価装置において、

上記ｐ型領域に含まれる不純物濃度は、$1\times10^{16}cm^{-3}$以上$1\times10^{23}cm^{-3}$以下であることを特徴とする帯電量評価装置。

【請求項６】　請求項１～５のうちいずれか１つに記載の帯電量評価装置において、

上記アンドープトシリコン層に含まれる不純物の濃度は、$1\times10^{15}cm^{-3}$以下であることを特徴とする帯電量評価装置。

【請求項７】　請求項１～６のうちいずれか１つに記載の帯電量評価装置において、

上記第１の絶縁層の厚みは１ｎｍ以上５００ｎｍ以下であることを特徴とする帯電量評価装置。

【請求項８】　請求項１～７のうちいずれか１つに記載の帯電量評価装置において、

上記半導体基板の裏面上に絶縁体からなる第３の絶縁層がさらに設けられていることを特徴とする帯電量評価装置。

【請求項９】　請求項８に記載の帯電量評価装置において、

上記第３の絶縁層の厚みは１ｎｍ以上１０μｍ以下であることを特徴とする帯電量評価装置。

【請求項１０】　請求項１～９のうちいずれか１つに記載の帯電量評価装置において、

上記第１の絶縁層の上に導体膜をさらに備えていることを特徴とする帯電量評価装置。

【請求項１１】　シリコン層を有する基板と、

上記シリコン層に囲まれ、上記シリコン層よりも価電子帯端のポテンシャルが高く、且つｐ型不純物を含むシリコンからなるｐ型領域と、

上記シリコン層及び上記ｐ型領域の上に設けられた第１の絶縁層と

を備えている帯電量評価装置。

【請求項１２】　請求項１１に記載の帯電量評価装置において、

上記基板のうち、上記シリコン層の下に位置する領域には、第２の絶縁層が設けられていることを特徴とする帯電量評価装置。

【請求項１３】　第１の絶縁層を有する基板と、

上記絶縁層に島状に点在し、ｐ型不純物を含むシリコンからなるｐ型領域と、

上記第１の絶縁層及び上記ｐ型シリコン層の上に設けられた第２の絶縁層と

を備えている帯電量評価装置。

【請求項１４】　基板の上に第１の絶縁層を形成する工程と、

上記第１の絶縁層の上に実質的にイントリンシックなアンドープトシリコン層を形成する工程と、

上記アンドープトシリコン層にｐ型不純物を選択的に導入し、上記アンドープ

トシリコン層に島状に点在するｐ型領域を形成する工程と、

上記アンドープトシリコン層及び上記ｐ型領域の上に第２の絶縁層を形成する工程と

を含んでいる帯電量評価装置の製造方法。

【請求項１５】　上部に第１の絶縁膜を有する半導体基板と、上記第１の絶縁膜上に設けられ、実質的にイントリンシックなアンドープトシリコン層と、上記アンドープトシリコン層に囲まれ、ｐ型不純物を含むシリコンからなるｐ型領域と、上記アンドープトシリコン層及び上記ｐ型領域の上に設けられた第２の絶縁膜とを備えた帯電量評価装置を準備する工程（ａ）と、

上記帯電量評価装置に所定の処理を施す工程（ｂ）と、

上記工程（ｂ）の後、上記帯電量評価装置をエッチング液に浸漬し、少なくとも上記ｐ型領域を陽極化成の原理によってエッチングする工程（ｃ）と、

上記ｐ型領域のエッチング量から上記所定の処理によって帯電量評価装置に生じた電荷量を算出する工程（ｄ）と

を含んでいる帯電量の評価方法。

【請求項１６】　請求項１５に記載の帯電量の評価方法において、

上記工程（ｃ）で用いるエッチング液にはＦ原子を含むイオンが含まれていることを特徴とする帯電量の評価方法。

【請求項１７】　請求項１５または１６に記載の帯電量の評価方法において、

上記工程（ｄ）では、上記ｐ型領域のエッチング量を上記ｐ型領域の重量変化から算出することを特徴とする帯電量の評価方法。

【請求項１８】　請求項１５～１７のうちいずれか１つに記載の帯電量の評価方法において、

上記帯電量評価装置は上記半導体基板の裏面上に設けられた裏面側絶縁膜をさらに備えており、

上記工程（ｂ）での所定の処理は上記裏面側絶縁膜を洗浄する裏面スクラバー処理であることを特徴とする帯電量の評価方法。

【請求項１９】　請求項１５～１８のうちいずれか１つに記載の帯電量の評

価方法において、

上記工程（ｂ）での所定の処理はイオン注入であることを特徴とする帯電量の評価方法。

【請求項２０】　請求項１５～１９のうちいずれか１つに記載の帯電量の評価方法において、

上記帯電量評価装置は、上記第２の絶縁膜上に設けられた導体膜をさらに備え、

上記工程（ｂ）での所定の処理は上記導体膜のドライエッチングであることを特徴とする帯電量の評価方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体装置の帯電量評価装置およびこれを用いた半導体装置の帯電量の評価方法に関する。

【０００２】

【従来の技術】

半導体装置の製造工程における半導体装置の帯電は、半導体装置の信頼性の低下や性能の劣化を招く。そのため、製造工程において生じる半導体基板あるいは半導体装置の帯電を精度良く測定する方法が必要とされている。

【０００３】

しかしながら、従来技術では、この半導体装置中の帯電量を直接に測定する方法はなく、製造工程中で半導体装置が受けたと思われる帯電量を推測する方法しか存在していない。このような間接的な帯電量の推測方法の例としては、以下の２つがある。

【０００４】

まず１つめは、ＭＯＳキャパシタを利用する特許文献１に記載の方法である。この方法では、半導体基板と上部電極で（ゲート）絶縁膜を挟んだ構造のＭＯＳキャパシタを作製し、これに評価したい処理を施す。その後、このＭＯＳキャパシタのゲート（上部電極）－基板間のリーク電流を測定し、この結果から半導体

装置に溜まっていた電荷量を推測する。この方法は、ゲートリーク電流が、ストレスとしてゲートを流れてきた総電荷量に依存して変化することを利用したものである。所定の処理によってＭＯＳキャパシタに電荷が蓄積されると、この電荷は基板側に逃げる。この際にゲート絶縁膜を通過した電荷は、絶縁膜中に固定電荷や界面準位を形成するため、ゲート絶縁膜の特性が変化し、結果として、ゲート－基板間のリーク電流が変化する。

【０００５】

２つめの方法は、特許文献２に記載の方法である。この方法では、トランジスタを作製し、該トランジスタに評価したい処理を施す。その後、このトランジスタの電流－電圧特性を測定し、処理前後の電流値の違いから半導体装置に溜まっていた電荷量を推測する。この方法も、１つめの方法と同様に、電荷がゲート絶縁体を通過する際に、ゲート絶縁膜中に固定電荷や界面準位が形成されるという実験事実を積極的に利用した方法であり、Ｉｄｓａｔにてゲート絶縁膜の膜質の変化を調べ、帯電量を間接的に調べる方法である。ここで、Ｉｄｓａｔは、トランジスタ動作時のドレイン飽和電流を示す。

【０００６】

【特許文献１】

特開平１０－２７０５１９号公報

【特許文献２】

特開平０５－９０３７４号公報

【０００７】

【発明が解決しようとする課題】

上述の帯電量の推測法によれば、半導体装置の製造工程において生じた帯電をゲート酸化膜の劣化として間接的に評価しているので、帯電量を十分に定量的に精度良く測定することが困難であった。

【０００８】

また、いずれの方法もデバイスを作製する必要があるなどのため手間がかかり、簡便に帯電量の評価を行うことが難しかった。加えて、従来の方法では、半導体装置の現在の帯電量をそのものを知ることができない、という不具合もあった

。

【０００９】

本発明の目的は、半導体装置の帯電量を定量的で且つ簡便に評価することが可能な帯電量評価装置及び帯電量の評価方法を提供することにある。

【００１０】

【課題を解決するための手段】

本発明の第１の帯電量評価装置は、実質的にイントリンシックなアンドープトシリコン層を有する基板と、上記アンドープトシリコン層に島状に点在するｐ型領域と、上記アンドープトシリコン層及び上記ｐ型領域の上に設けられた第１の絶縁層とを備えている。

【００１１】

これにより、帯電量評価装置にイオン注入やエッチングなどの処理を加える際に生じる正電荷が、ポテンシャル的に見てｐ型領域に蓄積するので、陽極化成の原理を用いてウエットエッチングをすることで、所定の処理により帯電量評価装置に発生する電荷量を算出することが可能となる。特に、電荷量の測定時まで正電荷が保持されるので、定量的に帯電量の評価を行うことができる。

【００１２】

上記基板のうち、上記アンドープトシリコン層の下に位置する領域には、第２の絶縁層が設けられていることにより、ｐ型領域に蓄積する正電荷が下方に抜けにくくなっているので、より正確な帯電量の評価が可能となる。

【００１３】

上記第２の絶縁層の厚みは１ｎｍ以上５００ｎｍ以下であることが好ましい。特に、第２の絶縁層の厚さが１ｎｍ以上であることで、ｐ型領域に保持される正電荷がトンネリングにより下方に抜けにくくなっている。

【００１４】

上記アンドープトシリコン層の厚みは、１０ｎｍ以上１０μｍ以下であることであることが好ましい。

【００１５】

上記ｐ型領域に含まれる不純物濃度は、$1\times10^{16}cm^{-3}$以上$1\times10^{23}cm$

$^{-3}$以下であることが好ましい。ｐ型領域に含まれる不純物濃度が１×１０^{16}ｃｍ$^{-3}$以上であることで、ｐ型領域のウエットエッチングが効果的に行われる。

【００１６】

上記アンドープトシリコン層に含まれる不純物の濃度は、１×１０^{15}ｃｍ$^{-3}$以下であることが好ましい。

【００１７】

上記第１の絶縁層の厚みは１ｎｍ以上５００ｎｍ以下であることにより、ｐ型領域に蓄積する電荷が上面方向へ抜けることが防がれるとともに、評価したい処理後にｐ型領域に正電荷を誘起及び蓄積することができる。

【００１８】

上記半導体基板の裏面上に絶縁体からなる第３の絶縁層がさらに設けられていることにより、裏面スクラバー処理による帯電量の評価も可能となる。

【００１９】

上記第３の絶縁層の厚みは１ｎｍ以上１０μｍ以下であることが好ましい。

【００２０】

上記第１の絶縁層の上に導体膜をさらに備えていることにより、この導体膜をドライエッチングすることにより、ゲート電極をドライエッチングする際のプラズマによるダメージを見積もることが可能になる。

【００２１】

本発明の第２の帯電量評価装置は、シリコン層を有する基板と、上記シリコン層に囲まれ、上記シリコン層よりも価電子帯端のポテンシャルが高く、且つｐ型不純物を含むシリコンからなるｐ型領域と、上記シリコン層及び上記ｐ型領域の上に設けられた第１の絶縁層とを備えている。

【００２２】

これにより、ある処理による帯電量を評価したい場合に、該処理によって生じる正電荷をｐ型領域に閉じこめて蓄積させることができるので、その状態でフッ酸などでエッチングすれば、ｐ型領域のエッチング量から処理によって生じた電荷量を定量的に且つ簡便に算出することができる。

【００２３】

上記基板のうち、上記シリコン層の下に位置する領域には、第２の絶縁層が設けられていることにより、ｐ型領域に蓄積される正電荷が下方に抜けにくくなるので、より正確に帯電量の評価を行うことができる。

【００２４】

本発明の第３の帯電量評価装置は、第１の絶縁層を有する基板と、上記絶縁層に島状に点在し、ｐ型不純物を含むシリコンからなるｐ型領域と、上記第１の絶縁層及び上記ｐ型シリコン層の上に設けられた第２の絶縁層とを備えている。

【００２５】

この構成によれば、ｐ型領域に蓄積された電荷が下方向だけでなく横方向にも逃げにくくなるので、より正確に帯電量の評価をおこなうことができる。

【００２６】

本発明の帯電量評価装置の製造方法は、基板の上に第１の絶縁層を形成する工程と、上記第１の絶縁層の上に実質的にイントリンシックなアンドープトシリコン層を形成する工程と、上記アンドープトシリコン層にｐ型不純物を選択的に導入し、上記アンドープトシリコン層に島状に点在するｐ型領域を形成する工程と、上記アンドープトシリコン層及び上記ｐ型領域の上に第２の絶縁層を形成する工程とを含んでいる。

【００２７】

この方法により、本発明の帯電量評価装置を製造することができる。

【００２８】

本発明の帯電量の評価方法は、上部に第１の絶縁膜を有する半導体基板と、上記第１の絶縁膜上に設けられ、実質的にイントリンシックなアンドープトシリコン層と、上記アンドープトシリコン層に囲まれ、ｐ型不純物を含むシリコンからなるｐ型領域と、上記アンドープトシリコン層及び上記ｐ型領域の上に設けられた第２の絶縁膜とを備えた帯電量評価装置を準備する工程（ａ）と、上記帯電量評価装置に所定の処理を施す工程（ｂ）と、上記工程（ｂ）の後、上記帯電量評価装置をエッチング液に浸漬し、少なくとも上記ｐ型領域を陽極化成の原理によってエッチングする工程（ｃ）と、上記ｐ型領域のエッチング量から上記所定の処理によって帯電量評価装置に生じた電荷量を算出する工程（ｄ）とを含んでい

る。

【００２９】

この方法により、上記工程（ｃ）の時点まで所定の処理によって生じた電荷がｐ型領域に保持されているので、ｐ型領域のエッチング量から電荷量の定量的且つ簡便な算出が可能となる。そのため、この方法を用いて、帯電量の小さい処理の開発などを行なうことができる。

【００３０】

上記工程（ｃ）で用いるエッチング液にはＦ原子を含むイオンが含まれていることにより、上記工程（ｃ）でのエッチングを効率良く行なうことができる。

【００３１】

上記工程（ｄ）では、上記ｐ型領域のエッチング量を上記ｐ型領域の重量変化から算出することにより、第２の絶縁膜の厚みが基板（ウエハ）ごとで均一である場合には、正確にエッチング量を測定することができる。

【００３２】

上記帯電量評価装置は上記半導体基板の裏面上に設けられた裏面側絶縁膜をさらに備えており、上記工程（ｂ）での所定の処理は上記裏面側絶縁膜を洗浄する裏面スクラバー処理であってもよい。

【００３３】

また、上記工程（ｂ）での所定の処理はイオン注入であってもよい。

【００３４】

また、上記帯電量評価装置は、上記第２の絶縁膜上に設けられた導体膜をさらに備え、上記工程（ｂ）での所定の処理は上記導体膜のドライエッチングであってもよい。この場合には、工程（ｄ）で算出される電荷量が、ゲート電極のパターニング時に発生するプラズマによるゲート絶縁膜などのダメージの指標となる。

【００３５】

【発明の実施の形態】

従来の帯電量の評価方法は、上述のように、所定の処理によって生じる電荷を直接測定する方法ではなく、電荷により形成された固定電荷や界面準位の影響を

測定するという間接的な方法であった。そのため、従来の方法では電荷量を定量的に測定することが困難であった。そこで、本願発明者らは、半導体装置に生じる電荷を可能な限り直接的に測定するための方法を探索することとした。

【００３６】

半導体装置に生じる電荷を直接的に測定するためには、処理によって生じた電荷を保持しておくこと、及び保持された電荷を精度良く検出することが重要であると考えられた。そこで、種々の検討の結果、本願発明者らは、電荷を検出する方法として陽極化成を利用することに想到した。

【００３７】

陽極化成は、ｐ型シリコンを陽極としてＦ（フッ素）原子を含むイオンを含む溶液中に浸漬するとシリコンがエッチングされる現象で、通常多孔質シリコンの形成やシリコンの研磨に利用されている。本願発明者らは、評価用ウエハ上にｐ型シリコン領域を設け、処理後の評価用ウエハをＨＦ溶液またはＢＨＦ（バッファードフッ酸）溶液で処理することで、（＋）電荷の発生をｐ型シリコン領域のエッチング状態から検出できるようにした。この方法によれば、ｐ型シリコン領域内に蓄積される電荷を直接的に測定することができる。次に、本願発明者らは、半導体装置の処理工程で生じる電荷をＨＦ溶液による反応時までｐ型シリコン領域内に保持する方法として、ｐ型シリコン領域を電流を通しにくいシリコン酸化膜やアンドープトシリコン膜で囲むことを考えた。こうすれば、シリコン酸化膜やアンドープトシリコン膜の価電子帯端エネルギーはｐ型シリコン領域のそれよりも低いため、ｐ型シリコン領域に正電荷を閉じこめることができる。なお、ここで「アンドープ」とは、意図的に不純物を導入しないことを意味する。

【００３８】

以上の方法により、半導体装置の処理工程で生じる電荷を直接的に精度良く測定することが可能になる。以下にこの方法を用いた実施形態について説明する。

【００３９】

（本発明の実施形態）

－帯電量評価用ウエハの作製－

図１（ａ）～（ｄ）は、本発明の帯電量評価用ウエハ（帯電量評価装置）の製

造方法を示す断面図である。

【００４０】

図１（ａ）に示す工程で、ウエハ状のシリコン基板１などの半導体基板を準備し、熱酸化などによりシリコン基板１の上面上に厚さ１００ｎｍの第１のシリコン酸化膜２を、裏面上に厚さ１００ｎｍの第２のシリコン酸化膜３をそれぞれ形成する。ここで、第１のシリコン酸化膜２の膜厚は１ｎｍ以上５００ｎｍ以下であることが好ましい。これは、第１のシリコン酸化膜２の膜厚が１ｎｍ未満であると、後述するｐ型領域６に蓄積されるべき電荷がトンネリングにより基板側に抜けるおそれがあるからである。一方、実際の装置を作成する際に、第１のシリコン酸化膜２が不必要に厚くなっても製造コスト等が高くなる上利点がないので、第１のシリコン酸化膜２の厚みは５００ｎｍ以下が好ましい。また、第２のシリコン酸化膜３の厚みも裏面側に生じた電荷を保持するために、１ｎｍ以上１０μｍであることが好ましい。

【００４１】

続いて、図１（ｂ）に示す工程で、ＬＰ－ＣＶＤ法により第１のシリコン酸化膜２の上に厚さ１００ｎｍのアンドープトシリコン膜４を形成する。この第１のシリコン酸化膜２の厚みは、１０ｎｍ以上１０μｍ以下の範囲とすることが、コスト面その他において現実的で好ましい。また、アンドープトシリコン膜４の材質は、実際の設計上ポリシリコンもしくはアモルファスシリコンであることが好ましい。なお、第２のシリコン酸化膜３の裏面上に副次的に少量堆積するアンドープトシリコンを、この後に除去しても良い。また、本工程までで作製された基板に代えて、第１のシリコン酸化膜２及びアンドープトシリコン膜４を有するＳＯＩ基板を用いることもできる。

【００４２】

次に、図１（ｃ）に示す工程で、アンドープトシリコン膜４上にレジスト５を形成し、リソグラフィ処理などを行ってレジスト５のパターニングを行う。続いて、レジスト５をマスクとして、例えばＢ（ホウ素）イオンなどのｐ型不純物イオンを注入エネルギーが１０ｅＶ、ドーズ量$1\times10^{15}cm^{-2}$で注入する。本工程によってアンドープトシリコン膜４内のうちイオン注入された部分が、島状

（スポット状）のｐ型領域６となる。すなわち、ｐ型領域６が、互いに孤立・分散した状態でアンドープトシリコン膜４内に設けられる。ｐ型領域６に含まれる不純物の濃度範囲は、$1\times10^{16}cm^{-3}$以上$1\times10^{23}cm^{-3}$以下程度であり、ｐ型領域６を囲むアンドープトシリコン膜４は実質的にイントリンシックである。また、アンドープトシリコン膜４の膜厚が比較的厚い場合には、ｐ型領域６は第１のシリコン酸化膜２に接している必要はなく、少なくともアンドープトシリコン膜４の上部に露出するように設けられればよい。

【００４３】

次に、図１（ｄ）に示す工程で、レジスト５を洗浄により除去後、アンドープトシリコン膜４及びｐ型領域６の上に、絶縁体膜として厚さ１００ｎｍのＳＡ－ＮＳＧ膜７を形成する。ここで、ＳＡ－ＮＳＧ膜とは、常圧に近い条件のＣＶＤ法により形成される不純物を含まないシリコン酸化膜のことである。なお、本工程において、ＳＡ－ＮＳＧ膜７を形成する代わりにアンドープトシリコン膜４及びｐ型領域６を熱酸化し、熱酸化膜を形成してもよい。また、ＳＡ－ＮＳＧ膜７に代えて窒化シリコン膜を形成してもよい。

【００４４】

続いて、シリコン基板を７５０℃で３０分間アニールしてドーパントを活性化する。このアニール温度は５００℃以上であればよい。この熱処理によって、ｐ型領域６を形成するためのイオン注入により帯電量評価用ウエハ自体に生じた電荷は打ち消される。以上の工程によって帯電量評価用ウエハが作製される。

【００４５】

すなわち、本実施形態に係る帯電量評価用ウエハは、シリコン基板１と、シリコン基板１の上面上に設けられた第１のシリコン酸化膜２と、第１のシリコン酸化膜２上に設けられたアンドープトシリコン膜４と、アンドープトシリコン膜４内に設けられ、ｐ型不純物を含むｐ型領域６と、アンドープトシリコン膜４及びｐ型領域６の上に設けられたＳＡ－ＮＳＧ膜７と、シリコン基板１の裏面上に設けられた第２のシリコン酸化膜３とを備えている。

【００４６】

なお、本実施形態の帯電量評価用ウエハにおいて、アンドープトシリコン層４

に代えてシリコン酸化膜が設けられていても、帯電量の評価に用いることができる。

【００４７】

図２は、ｐ型領域６が絶縁膜のトレンチ部分に形成されている場合の帯電量評価用ウエハを示す断面図である。このような帯電量評価用ウエハは、以下のようにして作製される。

【００４８】

まず、シリコン基板１上にシリコン酸化物からなる絶縁層２４を形成した後、絶縁層２４上にトレンチを形成する。その後、基板上にアンドープトシリコン膜を形成する。その後、ＣＭＰによりアンドープトシリコン膜を研磨して、トレンチを埋めるアンドープトシリコン層を形成する。その後、上述の作成方法と同様に、アンドープトシリコン層にｐ型不純物イオンを注入してｐ型領域６を形成する。その後、基板上にＳＡ－ＮＳＧ膜７を形成することで、この帯電量評価用ウエハが作製できる。

【００４９】

－半導体装置における帯電量の評価方法－

上述の帯電量評価用ウエハを用いて帯電量を評価する方法を以下に説明する。

【００５０】

図３（ａ），（ｂ）は、本実施形態の帯電量の評価方法を説明するための断面図である。

【００５１】

まず、本実施形態の帯電量評価用ウエハを、評価したい製造装置にて処理する。ここでいう製造装置の一例としては、イオン注入装置やプラズマエッチング用の装置などが挙げられる。

【００５２】

続いて、図３（ａ）に示すように、本実施形態の帯電量評価用ウエハを濃度比２０：１で界面活性剤を添加したＢＨＦ液８中に浸漬し、最上層の絶縁膜（ＳＡ－ＮＳＧ膜７）をエッチングする。エッチング液としては、ＢＨＦ液の他にも高濃度でＨＦを含むＤＨＦ液など、Ｆ（フッ素）原子を含むイオンを含む溶液が用

いられる。エッチング液に含まれるＦ原子を含むイオンの濃度範囲はほぼ０．１～５０ｗｔ．％である。ただし、ｐ型シリコンのエッチング量はHF_2^-イオンに比例するため、本方法では単なるＨＦ溶液よりもＢＨＦ液やＨＦを高濃度で含むＤＨＦ液が好ましく用いられる。なお、本工程では第２のシリコン酸化膜３もエッチングされる。

【００５３】

次に、図３（ｂ）に示すように、帯電量評価用ウエハを引き続きＢＨＦ液８中に浸漬すると、ｐ型領域６が露出した瞬間にｐ型領域６がエッチングされて多孔質化あるいは電解研磨される。

【００５４】

一方、アンドープトシリコン膜４はエッチングされることはない。本工程において、ｐ型領域６がフッ化水素酸を含む溶液で選択的にエッチングされるのは、帯電量評価用ウエハの処理によって生じた正電荷がｐ型領域６に保持されているためである。これは、既述の陽極化成の原理による。ここで、正電荷を保持するｐ型シリコンとHF_2^-との反応の詳細について、図を用いて説明する。

【００５５】

図４は、フッ化水素酸とｐ型シリコンとの反応機構を説明するための図である。

【００５６】

ｐ型シリコンに正電荷が蓄積した状態では、シリコンの原子密度が低くなる。そのため、水素終端されたシリコン原子がHF_2^-イオンの攻撃を受けやすくなり、シリコンに結合した水素がＦに置き換えられると共に電子が基板に注入される（反応ａ）。続いて、このフッ素終端されたシリコン原子にHF_2^-が作用するとシリコン原子はSiF_6^{2-}となって遊離する（反応ｂ）。このようにしてエッチングが進行する。これに対し、アンドープのシリコンでは、正電荷が溜まりにくくなっているので、反応（ａ）が進行せず、エッチングもほとんど進行しない。なお、ウエハが帯電していない場合でもポリシリコンのエッチングはわずかに発生する。これは、ＢＨＦとｐ型ポリシリコンが持つ固有のエネルギーレベルが異なるためであり、両者が接触した瞬間に電荷の移動が生じるためであると考え

られる。

【００５７】

次に、本実施形態においては、上述のようにＢＨＦ液によるエッチングを行った後、ｐ型領域６のエッチング量から、ｐ型領域６に蓄積されていた電荷量を求める。

【００５８】

図５（ａ）～（ｄ）は、エッチングされたｐ型領域６の顕微鏡写真図及びＳＥＭ表面写真図である。図５（ａ）はｐ型領域６内部に形成されたエッチング部の顕微鏡写真図であり、（ｂ）はそのＳＥＭ写真図である。また、図５（ｃ）はｐ型領域６のうちアンドープトシリコン領域（図中では「non-doped領域」と表記）との境界に形成されたエッチング部の顕微鏡写真図であり、（ｄ）はそのＳＥＭ写真図である。同図に示すエッチング部は、図３中のエッチングされたシリコン原子９に対応する。

【００５９】

図５（ａ）～（ｄ）に示すｐ型領域６内のエッチング部分の大きさ及び数から求めたシリコン原子数は、ｐ型領域６内に蓄積された電荷量にほぼ比例する。従って、帯電処理したウエハとしないウエハについてエッチング部分の大きさ及び数を欠陥評価装置を用いて測定し、シリコン原子のエッチング量の差を算出することによって、ｐ型領域６内に蓄積された電荷量を求めることができる。そして、この結果から、半導体装置の製造工程によって基板に生じる電荷量を求めることができる。また、欠陥評価装置による測定の代わりに、帯電量評価用ウエハの質量変化を測定しても、ｐ型領域６のエッチング量を求めることができる。この場合は、エッチング条件を揃えるためにＳＡ－ＮＳＧ膜７の厚みを精度良く均一にしておくことで、正確な測定が可能になる。

【００６０】

本実施形態の帯電量の評価方法は、半導体装置の処理工程中で生じる電荷をｐ型領域６に保持させるため、半導体装置における帯電量を直接的に測定することができる。そのため、従来より測定精度の向上させることが可能である。また、帯電量を直接的に測定していることで、定量的な測定も可能となる。

【００６１】

加えて、従来の方法が実際にデバイスを作製する必要があったのに対し、本実施形態の方法では帯電量評価用ウエハを処理した後にウエットエッチングを行なうだけで帯電量を測定できるので、簡便性が向上している。これによって半導体装置の帯電量評価に要する時間の短縮化やコストの削減を実現することができる。

【００６２】

－ｐ型領域への電荷の蓄積－

上述の帯電量の評価方法において、ホール（正孔）がｐ型領域６に蓄積する理由を以下に補足する。

【００６３】

図６（ａ）は、本実施形態の帯電量評価用ウエハの上部の断面を示す図であり、（ｂ）及び（ｃ）は、（ａ）に示す断面のエネルギーバンド図である。

【００６４】

同図に示すように、島状に設けられたｐ型領域６は、基板面に平行方向の周囲はアンドープトシリコン膜４で囲まれ、上下は第１の酸化シリコン膜２とＳＡ－ＮＳＧ膜７とで囲まれている。

【００６５】

図６（ｂ）に示すように、フェルミエネルギー１７を揃えた場合のｐ型不純物を含むシリコンのエネルギーレベルは伝導帯端エネルギー（伝導帯端ポテンシャル）１５及び価電子帯端エネルギー（価電子帯端ポテンシャル）１６の両方ともが高くなる。そのため、ｐ型領域６の価電子帯端エネルギー１６は周囲のアンドープトシリコン膜４の価電子帯端エネルギー１６よりも高くなっており、所定の処理によりｐ型領域６及びアンドープトシリコン膜４に生じたホール（正電荷）は、ｐ型領域６に蓄積する。ｐ型領域６に蓄積されたホールはポテンシャル障壁のためにｐ型領域６に閉じこめられる。加えて、ｐ型領域６からアンドープトシリコン膜４へのトンネリングも、アンドープトシリコン膜４の空乏層が１μｍ以上あるため起こらない。

【００６６】

また、ｐ型領域６の上下にはシリコンよりもバンドギャップが大く価電子帯端のエネルギーが低いＳｉO_2からなり、電荷のトンネリングを防ぐだけの厚さを有する層が設けられているので、ｐ型領域６に蓄積されたホールは上下方向に抜けることもない。なお、図６（ｃ）に示すホール１８は、ｐ型領域６中に元から存在しているホールではなく、帯電に付加されたホールを示している。

【００６７】

このように、本実施形態の評価方法では、所定の処理によって生じた正電荷を測定時まで保持しておくことが可能になっている。

【００６８】

－本実施形態の第１の具体例－

次に、帯電量評価の第１の具体例として、純水により裏面スクラバー洗浄処理を行った場合の半導体装置の帯電量評価の方法を説明する。

【００６９】

図７は、この方法を説明するための断面図である。

【００７０】

同図に示すように、まず、本実施形態の帯電量評価用ウエハを準備し、純水による裏面スクラバー洗浄を行なった。

【００７１】

つまり、帯電量評価用ウエハの裏面の付着物等を除去するためにブラシ１０で洗浄した。この際には、通常ブラシーウエハ間に誘発される電荷を逃がすために、導電性を持たせたCO_2添加水（純水１１にCO_2を添加したもの）を使用した。

【００７２】

この裏面スクラバー洗浄処理により、帯電量評価用ウエハの裏面上には負電荷が誘起され、第２のシリコン酸化膜３のうちシリコン基板１との界面付近には正電荷が誘起された。これに対応してｐ型領域６の上部にも正電荷が誘起された。

【００７３】

次に、帯電量評価用ウエハをＢＨＦ液でウエットエッチングした。これにより、第１のシリコン酸化膜２及び第２のシリコン酸化膜３は除去されるとともに、

ｐ型領域６もエッチングされた。

【００７４】

図８は、本具体例におけるＢＨＦ処理後の帯電量評価用ウエハの上面についての顕微鏡写真図である。同図中に見られる黒色部分がエッチングによるｐ型領域６の欠陥部分であり、ウエハ全面に亘って存在することが分かる。このような顕微鏡による観察や欠陥評価装置による測定またはウエハの重量変化などからエッチングされたシリコンの量を算出し、帯電量評価用ウエハ上に誘起された電荷量を算出した。本具体例では、帯電量評価用ウエハ上に誘起された電荷量は約６．１×１０$^{-8}$（Ｃ／ｃｍ^{2}）と見積もられた。

【００７５】

本具体例では、基板裏面を洗浄する際に用いるCO_2添加水によって徐電が行われているか否かを確認することができるので、測定結果を基に適切な洗浄条件を設定することが可能となる。

【００７６】

－本実施形態の第２の具体例－

まず、本実施形態の帯電量評価用ウエハを準備した。この際に、ＳＡ－ＮＳＧ膜７の厚さは１ｎｍ以上１００ｎｍ以下程度とすることが好ましい。これは、ＳＡ－ＮＳＧ膜７が厚すぎるとＳＡ－ＮＳＧ膜７に電荷がトラップされてしまい、正確な電荷量が分からなくなるからであり、薄すぎるとｐ型領域６に生じる電荷が上面側へリークするおそれがあるためである。

【００７７】

次に、帯電量評価用ウエハの上方から例えばエネルギー２０ｅＶ、１×１０^{15}ｃｍ$^{-2}$でホウ素イオンの注入を行なう。

【００７８】

次に、帯電量評価用基板をＢＨＦ液で処理した。これにより、第１のシリコン酸化膜２及び第２のシリコン酸化膜３が除去されてｐ型領域６がエッチングされた。続いて、ｐ型領域６のエッチング量を測定することにより、本具体例での注入によるチャージアップ量は約１．５×１０$^{-7}$（Ｃ／ｃｍ^{2}）と見積もられた。このように、本実施形態の帯電量評価用ウエハを用いればイオン注入によるチャ

ージアップ量も評価することができる。

【００７９】

－本実施形態の第３の具体例－

本実施形態の第３の具体例として、ゲートドライエッチングによるプラズマダメージを評価する方法を説明する。

【００８０】

図９（ａ）～（ｃ），図１０（ａ）～（ｃ）は、本実施形態の第３の具体例に係るゲートドライエッチングによるダメージを評価する方法を説明するための断面図である。本具体例では、評価したい半導体装置と同じ厚みのゲート絶縁膜及びポリシリコン膜とを有する帯電量評価量ウエハを作製した。

【００８１】

まず、図９（ａ）に示す工程で、図１（ａ）の工程と同様に、熱処理によりシリコン基板１の上面上に第１のシリコン酸化膜２を、裏面上に第２のシリコン酸化膜３をそれぞれ形成した。

【００８２】

次いで、図９（ｂ）に示す工程で、第１のシリコン酸化膜２上にアンドープトシリコン膜４を形成した。

【００８３】

その後、図９（ｃ）に示す工程で、レジストパターニングとそれに続くＢ（ボロン）イオンの注入により、アンドープトシリコン膜４中に島状のｐ型領域６を形成した。ここまでは、図１に示す帯電量評価用ウエハと同じである。

【００８４】

次に、図１０（ａ）に示す工程で、基板の熱酸化等によりアンドープトシリコン膜４及びｐ型領域６の上にSiO_2からなるゲート酸化膜を形成した。ここで、ゲート酸化膜の厚みは評価したい半導体装置のゲート酸化膜の厚みに等しくした。

【００８５】

次いで、図１０（ｂ）に示す工程で、ポリシリコン膜１４を堆積した。このポリシリコン膜１４の厚みも評価したい半導体装置のゲート電極の厚みに等しくし

た。以上のようにしてゲート電極のドライエッチングによるダメージを評価するための帯電量評価用ウエハが作製された。

【００８６】

続いて、図１０（ｃ）に示す工程で、ドライエッチングによりポリシリコン膜１４を全面エッチバックした。この際に、帯電量評価用ウエハに飛来した電荷はｐ型領域６に捉えられ、保持される。

【００８７】

次に、本具体例の帯電量評価用ウエハをＢＨＦ液で処理して、エッチングされたシリコンの量を測定した。これにより、ゲート電極のドライエッチング時にウエハが受けたプラズマチャージを見積もることができた。

【００８８】

本方法では、ドライエッチング中に受けたプラズマチャージが多いほど、エッチングによるダメージが大きいと判断できる。すなわち、本具体例の帯電量評価用ウエハを用いれば、ゲート電極の形成時のドライエッチングによってゲート酸化膜などが受けるダメージを測定することができるようになる。

【００８９】

なお、本具体例では、ゲートドライエッチング工程における評価法について示したが、ｐ型領域６上のゲート酸化膜の厚みや材料を代えてもよい。同様に、ポリシリコン膜１４の材料も適宜変更することにより、任意のドライエッチング工程におけるプラズマチャージを見積もることができる。例えば、ポリシリコン膜１４を他の導体膜、例えばＡｌ膜に代えればＡｌをドライエッチングする際のプラズマチャージを見積もることができる。

【００９０】

以上のように、本発明の帯電量評価用ウエハを用いれば、裏面スクラバー洗浄、イオン注入及びドライエッチングなどの種々の処理について半導体装置に生じる帯電量を精度良く測定することが可能になる。すなわち、本実施形態の帯電量の測定は、処理によって生じた電荷を測定時まで保持でき、そのために直接的に正電荷の量を測定できるので、定量的に測定できる。また、評価したいデバイスを作製する必要がないため、帯電量の評価を行う際の処理を簡便にすることがで

きる。

【００９１】

【発明の効果】

本発明の帯電量の評価方法では、周囲をアンドープトシリコン膜及び絶縁膜で囲まれたｐ型領域を有する帯電量評価用ウエハを所定の製造プロセスで処理し、その後にＢＨＦ液でエッチングする。これにより、処理により生じた電荷そのものを測定することができるので、定量的に帯電量の評価することが可能になり、且つ従来に比べ簡便に帯電量を評価することができる。

【図面の簡単な説明】

【図１】

（ａ）～（ｄ）は、本発明の実施形態に係る帯電量評価用ウエハの製造方法を示す断面図である。

【図２】

ｐ型領域６が絶縁膜のトレンチ部分に形成されている場合の帯電量評価ウエハを示す断面図である。

【図３】

（ａ），（ｂ）は、本発明の実施形態に係る帯電量の評価法を説明するための断面図である。

【図４】

フッ化水素酸とｐ型シリコンとの反応機構を説明するための図である。

【図５】

（ａ）～（ｄ）は、エッチングされたｐ型領域の顕微鏡写真図及びＳＥＭ表面写真図である。

【図６】

（ａ）は、本発明の実施形態に係る帯電量評価用ウエハのうち上部の断面を示す図であり、（ｂ）及び（ｃ）は、（ａ）に示す断面におけるエネルギーバンド図である。

【図７】

本発明の第１の具体例における半導体装置の帯電量評価の方法を説明するため

の模式図である。

【図８】

第１の具体例におけるＢＨＦ処理後の帯電量評価用ウエハの上面についての顕微鏡写真図である。

【図９】

（ａ）～（ｃ）は、本発明の第３の具体例に係るゲートドライエッチングによるダメージを評価する方法を説明するための断面図である。

【図１０】

（ａ）～（ｃ）は、第３の具体例に係るゲートドライエッチングによるダメージを評価する方法を説明するための断面図である。

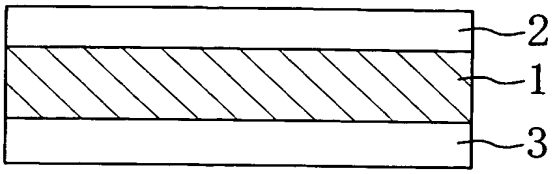
【符号の説明】

1	シリコン基板
2	第１のシリコン酸化膜
3	第２のシリコン酸化膜
4	アンドープトシリコン膜
5	レジスト
6	p型領域
7	ＳＡ－ＮＳＧ膜
8	ＢＨＦ液
9	エッチングされたシリコン原子
１０	ブラシ
１１	純水
１３	ゲート酸化膜
１４	ポリシリコン膜
１５	伝導帯端エネルギー
１６	価電子帯端エネルギー
１７	フェルミエネルギー
１８	ホール

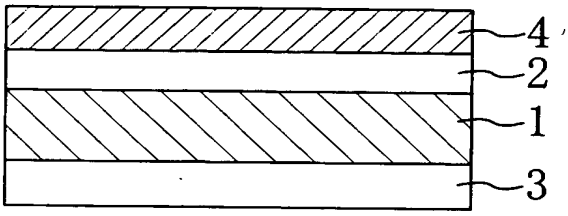
【書類名】　図面

【図１】

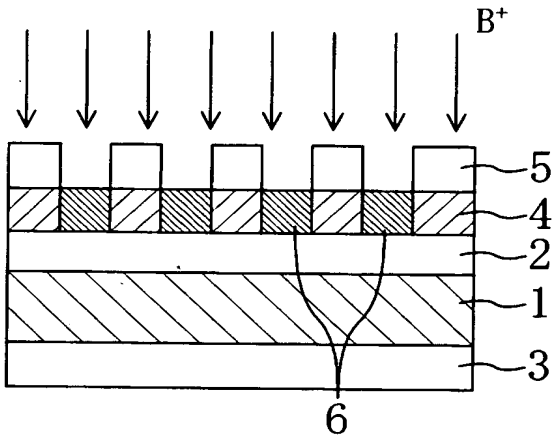
(a)



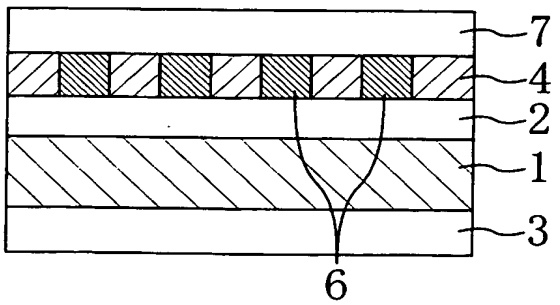
(b)



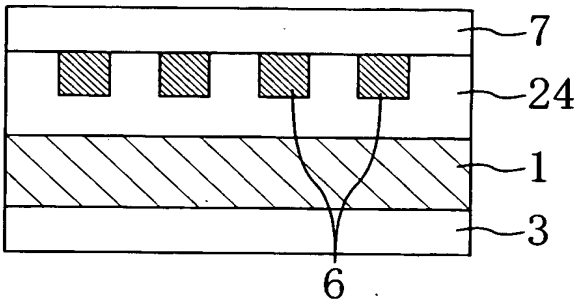
(c)



(d)

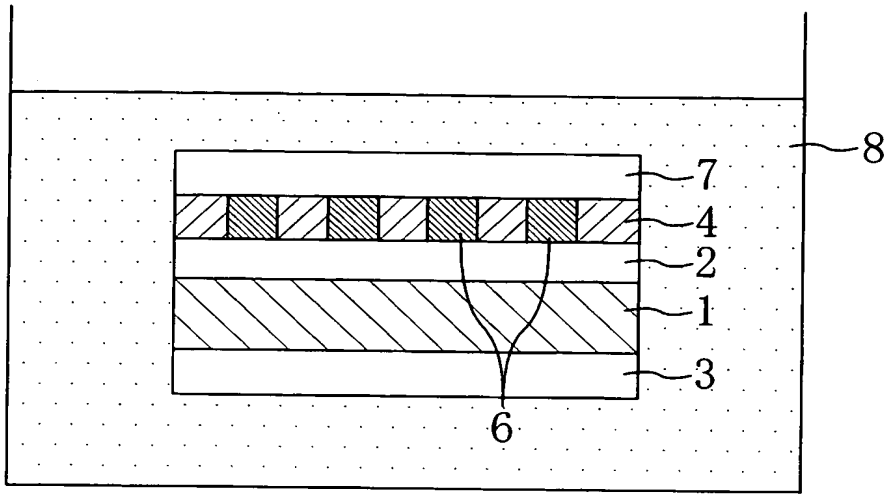


【図２】

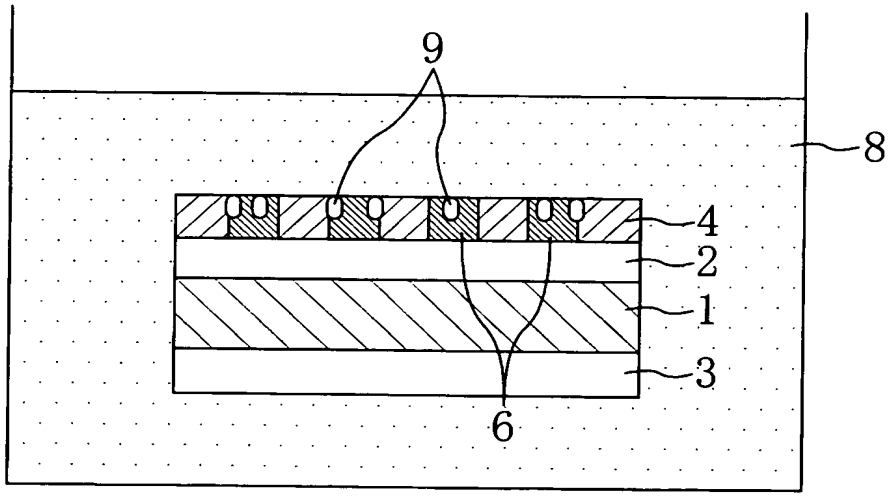


【図３】

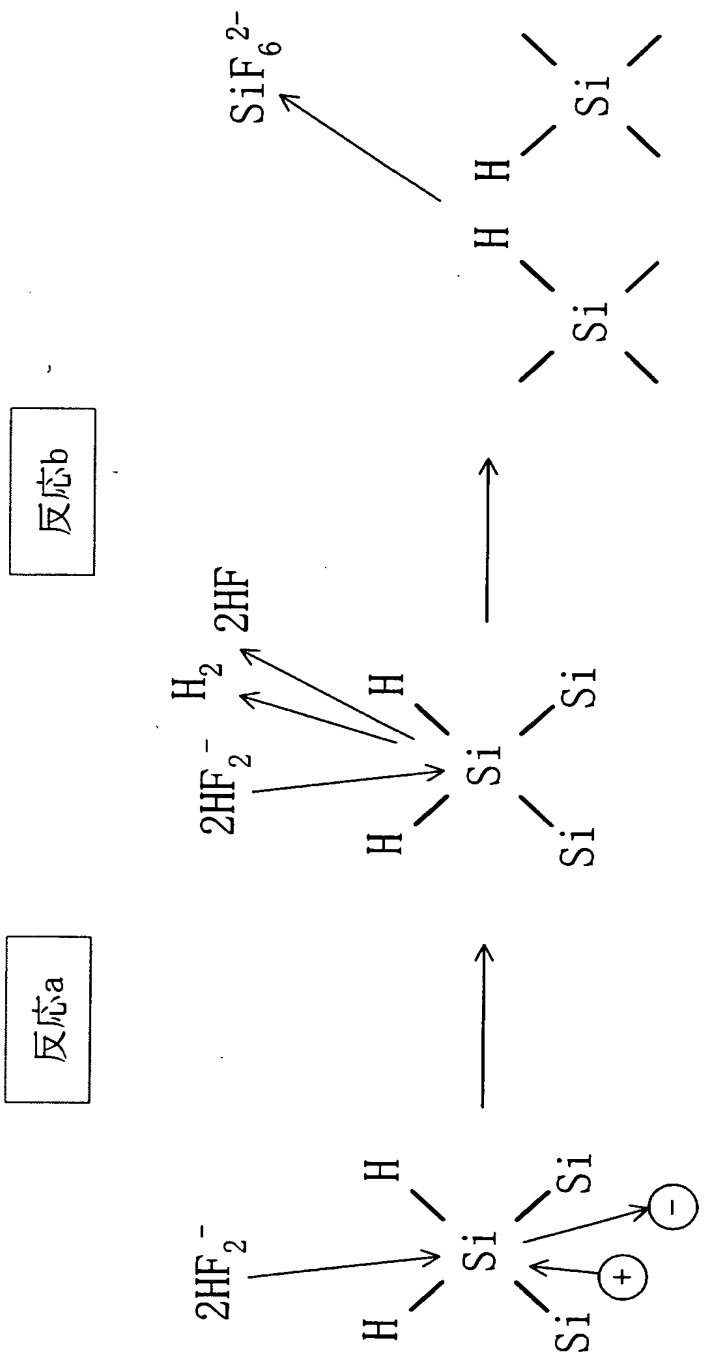
(a)



(b)

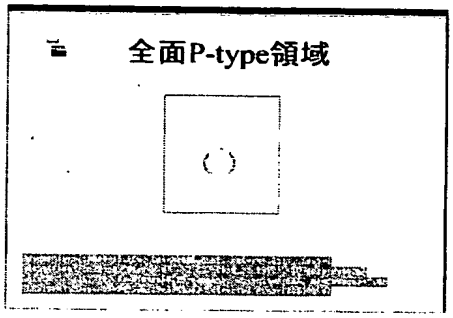


【図４】

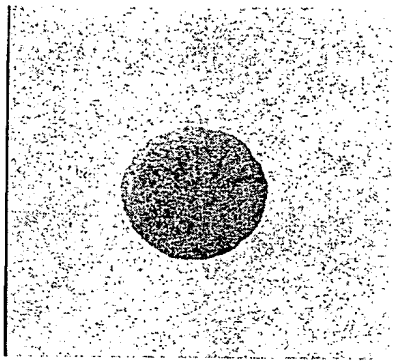


【図５】

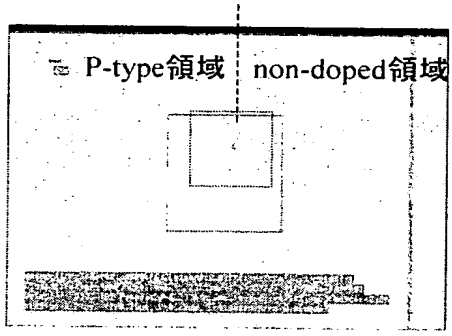
(a)
顕微鏡



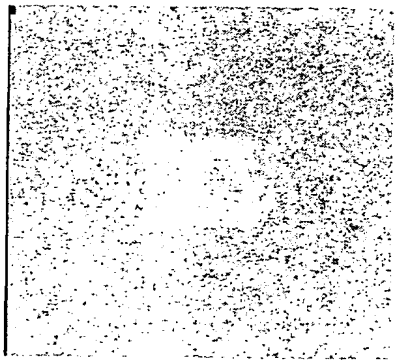
(b)
SEM



(c)
顕微鏡

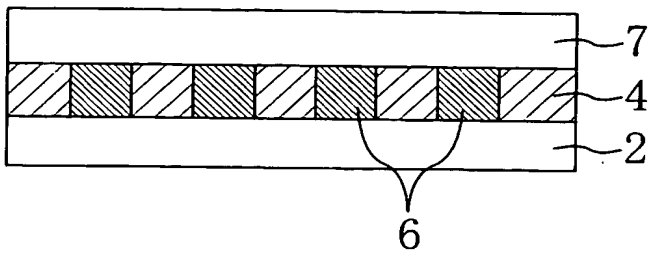


(d)
SEM

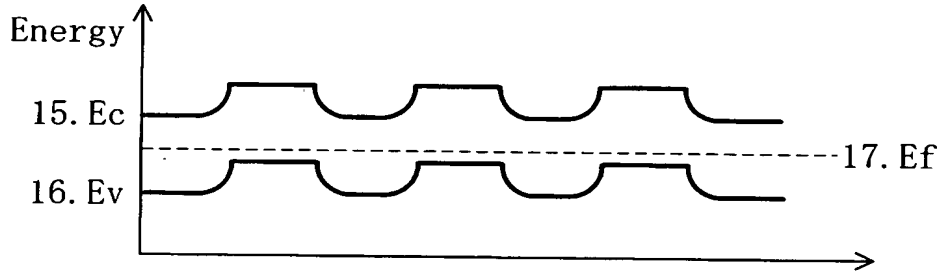


【図６】

(a)

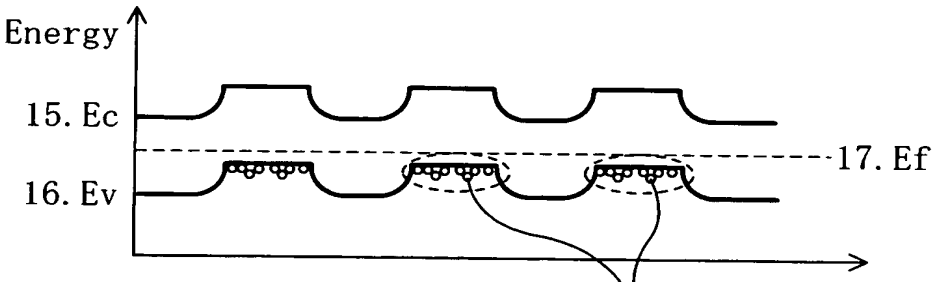


(b)



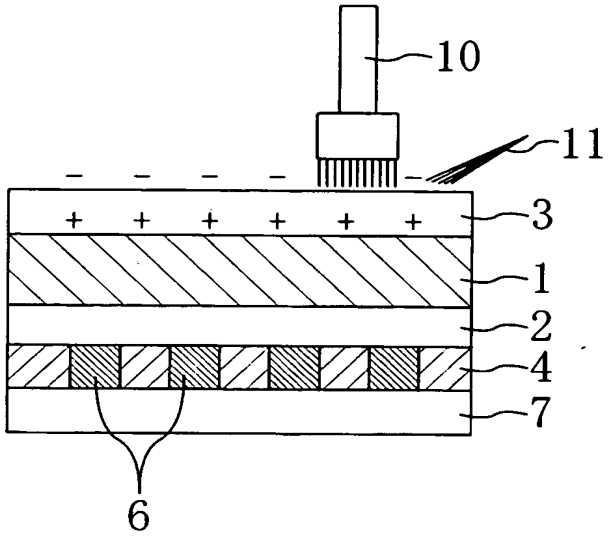
バンド図

(c)

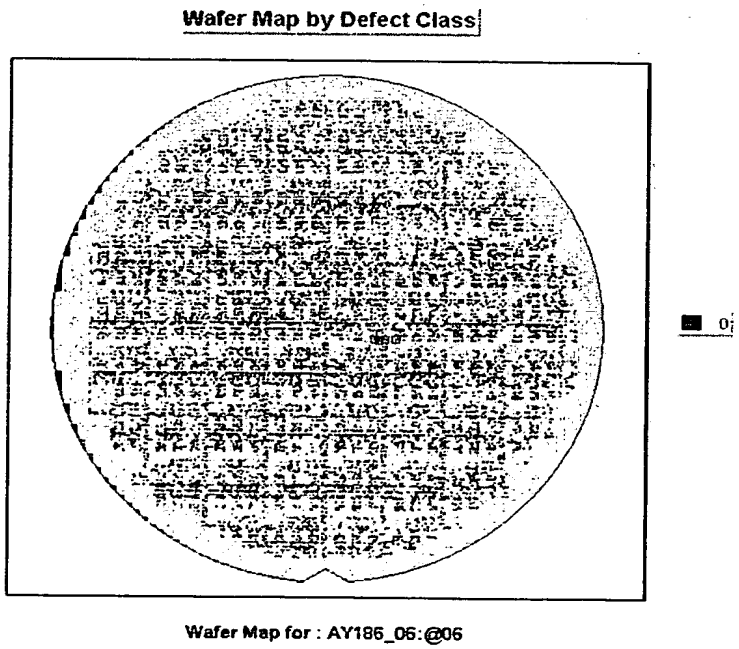


バンド図　18

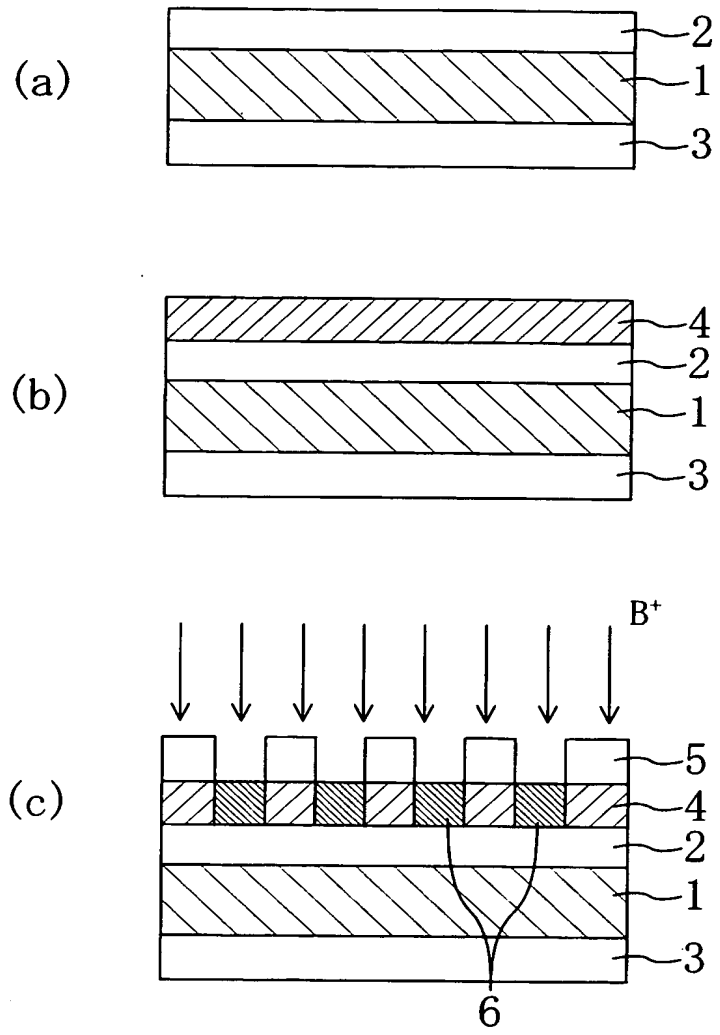
【図７】


10
11
3
1
2
4
7
6

【図８】

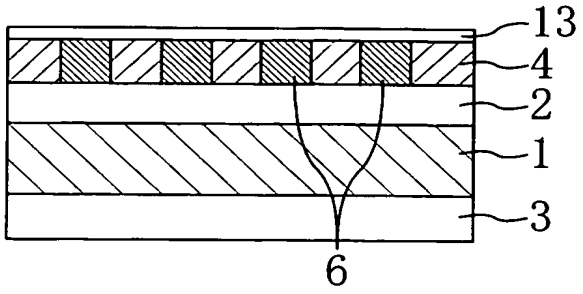

Wafer Map by Defect Class
Wafer Map for : AY186_06:@06

【図９】

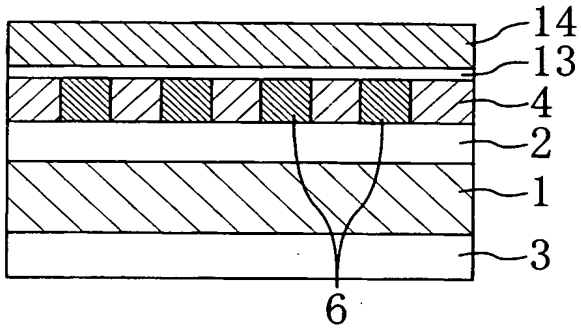


【図１０】

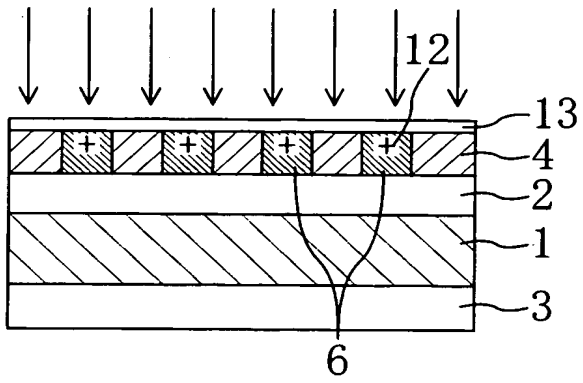
(a)



(b)



(c)



【書類名】　要約書

【要約】

【目的】　半導体装置の帯電量を定量的で且つ簡便に評価することが可能な帯電量の評価方法と、該帯電量の評価方法に用いられる評価用ウエハとを提供する。

【構成】　シリコン基板１と、第１のシリコン酸化膜２とＳＡ－ＮＳＧ膜７とで挟まれ、アンドープトシリコン膜４に囲まれたｐ型領域６とを有する帯電量評価用ウエハを準備し、このウエハに評価したい処理を施す。次いで、ＢＨＦ液でエッチングした後にｐ型領域６のエッチング量を測定することによって、処理によってウエハに生じる正電荷の量を定量的且つ簡便に評価することができる。

【選択図】　図３

特願２００２－３５５５６０

出　願　人　履　歴　情　報

識別番号　　［０００００５８２１］

１．変更年月日　　１９９０年　８月２８日
［変更理由］　　新規登録
住　所　　大阪府門真市大字門真１００６番地
氏　名　　松下電器産業株式会社